

S/N 09/902,365

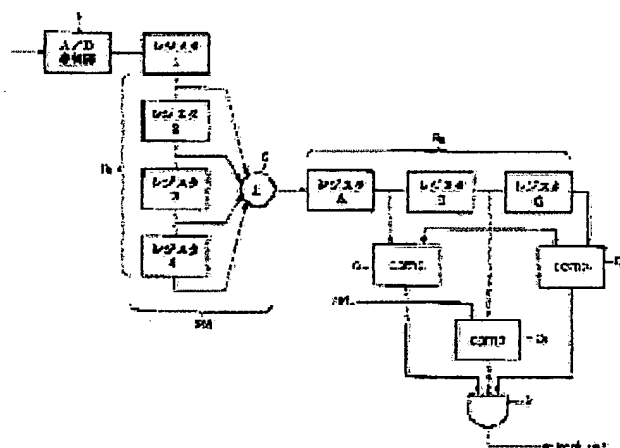
PEAK DETECTION CIRCUIT

Patent number: JP11340873
Publication date: 1999-12-10
Inventor: SHIDA HARUO; NAKAMURA MASARU
Applicant: RICOH KK
Classification:
- international: H04B1/707
- european:
Application number: JP19980161410 19980525
Priority number(s): JP19980161410 19980525; JP19980094100 19980323

Abstract of JP11340873

PROBLEM TO BE SOLVED: To detect a peak position, without being interrupted by multi-path or inter-code interface by averaging signals sampled with frequencies which are plural times as high as a chip rate by adding them a fixed number of times, and detecting the maximum value from the output signals.

SOLUTION: An A/D converter 1 samples an input pulse with frequencies, which are four times as high as a chip rate and converts it into a digital signal pulse, and sends it to a register R1. The sampled pulses are successively transmitted to registers 1-4, and continuous four sampling data are stored. An adder S by adding the registers 1-4 for operating an averaging processing averages data. The averaged data are successively transmitted to registers A-C, and continuous three averaged data are stored. Comparators C1-C3 compare the value of the register B with the values of both adjacent registers A and C. and in any case when the value of the register B is larger, this is decided as a peak.



Data supplied from the **esp@cenet** database - Worldwide

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-340873

(43)公開日 平成11年(1999)12月10日

(51)Int.Cl.⁸

H 0 4 B 1/707

識別記号

F I

H 0 4 J 13/00

D

審査請求 未請求 請求項の数3 F D (全 4 頁)

(21)出願番号 特願平10-161410

(22)出願日 平成10年(1998)5月25日

(31)優先権主張番号 特願平10-94100

(32)優先日 平10(1998)3月23日

(33)優先権主張国 日本 (J P)

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 志田 春夫

東京都大田区中馬込1丁目3番6号 株式

会社リコー内

(72)発明者 中村 勝

東京都大田区中馬込1丁目3番6号 株式

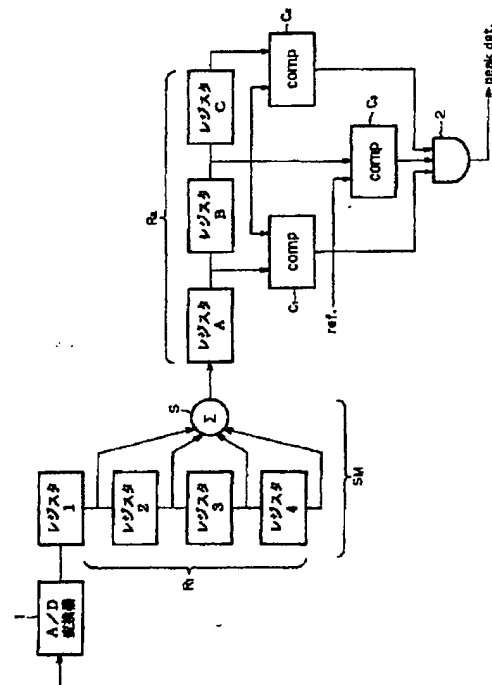
会社リコー内

(54)【発明の名称】 ピーク検出回路

(57)【要約】

【課題】 パルス位置変調受信手段において、乱れが生じたパルス波形を平均化処理して、そのピークを精度よく検出できるようにする。

【解決手段】 パルス位置変調受信機の受信したパルス列から各々のパルス位置を検出するピーク検出手段において、ピーク検出回路は、入力パルス信号をサンプリングし、サンプリングされた信号を加算し平均化する1段又は複数段の平均化処理回路、及び平均化処理回路の出力の最大値を検出する最大値検出回路を備える。前記ピーク検出回路はスペクトル拡散パルス位置変調受信機において、マッチドフィルタの出力に接続されてその出力ピーク位置を検出することにも使用する。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 パルス位置変調受信機に設けられ、受信したパルス列から各々のパルス位置を検出するピーク検出手段において、入力パルス信号をチップレート n 倍 ($n \geq 2$) の周波数でサンプリングするサンプリング回路と、サンプリングされた信号を所定回加算し平均化する平均化処理回路と、平均化処理回路の出力信号からその最大値を検出する最大値検出回路を備えたことを特徴とするピーク検出回路。

【請求項2】 スペクトル拡散パルス位置変調受信機に設けられ、マッチドフィルタの出力に接続されて、その出力ピーク位置を検出することを特徴とする、請求項1に記載されたピーク検出回路。

【請求項3】 入力信号列を平均化する平均化処理回路を複数段構成にすることを特徴とする請求項1に記載されたピーク検出回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えば、屋内無線通信、無線LAN、無線高速データ通信における、パルス位置変調受信機に用いるピーク検出回路に関するものである。

【0002】

【従来の技術】特開平9-321660号公報に開示された、「スペクトル拡散パルス位置変調通信方式、スペクトル拡散パルス位置変調送信機及びスペクトル拡散パルス位置受信機」においては、ディジタルマッチドフィルタ出力の連続する3つのデータを比較し、その真ん中のデータが最大になるときに、ピークを検出するピーク位置検出を行っている。

【0003】

【発明が解決しようとする課題】パルス位置変調方式では、基準となる位置からのパルス位置の遅延が情報となるため、その基準位置を正確に受信側で再現しなければならない。しかしながら、この方式による場合は、多重化した場合の符号間干渉や、無線にした場合のマルチパスなどの影響により、受信波形に乱れが生じ、ピークの検出が困難となり、正確な復号ができなくなるという問題がある。この点を従来のピーク検出結果を表す図4を参照して説明する。今、ピーク検出回路に図4(A)に示す波形が入力したとすると、前記従来の最大値検出回路では2つのピーク P_1 、 P_2 を検出してしまい(同図(B))、これは時間軸方向に情報を持つパルス位置変調方式では致命的なエラーとなってしまう。そこで、本発明は、最大値検出回路の前段に平均化処理を行う積分器(積分回路)を備えることにより、パルス波形に乱れが生じた場合にも、ピークの検出が可能なピーク検出回路を提供することを目的とするものである。

【0004】

【課題を解決するための手段】請求項1に係る発明は、

パルス位置変調受信機に設けられ、受信したパルス列から各々のパルス位置を検出するピーク検出手段において、入力パルス信号をチップレート n 倍 ($n \geq 2$) の周波数でサンプリングするサンプリング回路と、サンプリングされた信号を所定回、例えば n 回程度加算し平均化する平均化処理回路と、平均化処理回路の出力信号からその最大値を検出する最大値検出回路を備えたピーク検出回路である。

【0005】請求項2に係る発明は、請求項1に記載されたピーク検出回路であって、スペクトル拡散パルス位置変調受信機に設けられ、マッチドフィルタの出力に接続されて、その出力ピーク位置を検出するピーク検出回路である。

【0006】請求項3に係る発明は、請求項1に記載されたピーク検出回路であって、入力信号列を平均化する平均化処理回路を複数段構成にするピーク検出回路である。

【0007】

【発明の実施の形態】図5に従来のピーク検出回路の一例を示す。このピーク検出回路においては、入力したパルスは、図示しないA/D変換器によりディジタル信号に変換される。A/D変換器からの出力信号は、レジスタA、レジスタB、レジスタCと順に転送され、連続する3つのサンプリングデータが蓄えられる。比較器 C_1 、 C_2 によりレジスタBの値を両隣のレジスタA、レジスタCのそれぞれと比較し、さらに比較器 C_3 によりレジスタBの値をしきい値 $ref.$ と比較し、その結果をAND回路2に入力することにより、その全てにおいてBの値の方が大きいときに、ピーク検出信号を出力するようになっている。

【0008】本発明のピーク検出回路の構成、動作について、図1を参考にして説明する。請求項1に係る発明のピーク検出回路は、最大値検出回路(前記従来のピーク検出回路に相当)に平均化処理を行う平均化処理回路を付加したもので、入力パルス信号をチップレート n 倍 ($n \geq 2$) の周波数でサンプリングするサンプリング回路と、サンプリングされた信号を所定回、例えば n 回程度加算し平均化する平均化処理回路と、平均化処理回路の出力信号からその最大値を検出する最大値検出回路を備えている。

【0009】図中、1はA/D変換器、Rはレジスタ、Sは各レジスタ1~4の値の平均値を計算する加算器であり、前記レジスタと共に平均化処理回路SMを構成している。この平均化処理回路SM以外の構成は、上述した従来のピーク検出回路と同様である。前記ピーク検出回路において、入力したパルスはA/D変換器1によりディジタル信号に変換される。その際、チップレートの例えば、4倍の周波数でサンプリングされたパルスは、レジスタ1からレジスタ4へと順に転送される。レジスタ R_1 (レジスタ1~4)には連続する4つのサンプリ

BEST AVAILABLE COPY

ングデータが蓄えられ、それらを加算し平均化することで平均化処理が行われ、次段の最大値検出回路に出力する。

【0010】請求項2に係る発明は、スペクトル拡散パルス位置変調通信方式受信機に適用したピーク検出回路である。本発明を用いたスペクトル拡散パルス位置変調通信方式の概要について、図2を参考にして説明する。スペクトル拡散パルス位置変調方式送信機においては、送信データをパルス位置変調器10でパルス位置変調し、その信号をトリガとして、PN信号発生器11で疑似雑音系列(PN信号)を発生させる。その後、無線周波数へ周波数変調され受信機へ送信される。受信機では、ベースバンドに周波数変換した後、送信機で使った疑似雑音系列に符号したマッチドフィルタ12を通すことで逆拡散を行う。受信信号波形に、全くノイズが混入していない場合には、このマッチドフィルタ12の出力がパルス位置変調信号となる。しかしながら、前述のように、マルチパスや符号間干渉などの影響で信号波形にピークが複数含まれるという現象が生じると、エラーが発生することになる。そこで、マッチドフィルタ12の出力を本発明のピーク検出回路、即ち、平均化処理を行う平均化処理回路(積分回路)13を備えた最大値検出回路14に通すことで、PPN復調器15において安定したパルス位置変調信号の再現が可能となる。

【0011】請求項3に係る発明は、1度の平均化処理では信号波形の乱れが収まらない場合に、さらに平均化処理を行うというものである。複数のマルチパスが複雑に作用し合う場合などに対応したものである。図3に2段の平均化処理を行う場合の例を示す。入力したパルスはA/D変換器1によりデジタル信号に変換された後、レジスタR₁(レジスタ1~4)と加算器S₁で構成される平均化処理回路SM₁で最初の平均化を行い、さ

らに、その出力がレジスタR₂(レジスタ5~8)と加算器S₂で構成される平均化処理回路SM₂において、2段目の平均化処理を行い、次段の最大値検出器へと出力され、ピークが検出される。

【0012】

【発明の効果】請求項1に対応する効果：パルス位置変調方式において、受信波形にマルチパス、符号間干渉等でピークが複数個発生した場合にも、簡易な回路構成で、ピーク位置の検出が可能となる。

請求項2に対応する効果：スペクトル拡散パルス位置変調通信方式受信機において、マッチドパルスのピーク検出において、簡易な回路構成でピーク位置の精度の良い検出が可能となる。

請求項3に対応する効果：パルス波形が複雑に重なり合っても、簡易な回路構成でピークの検出が可能となる。

【図面の簡単な説明】

【図1】 本発明の平均化処理回路を付加したピーク検出回路のブロック図である。

【図2】 本発明のピーク検出回路を用いたスペクトル拡散パルス変調通信方式の概略図である。

【図3】 本発明の2段の平均化処理回路を備えたピーク検出回路のブロック図である。

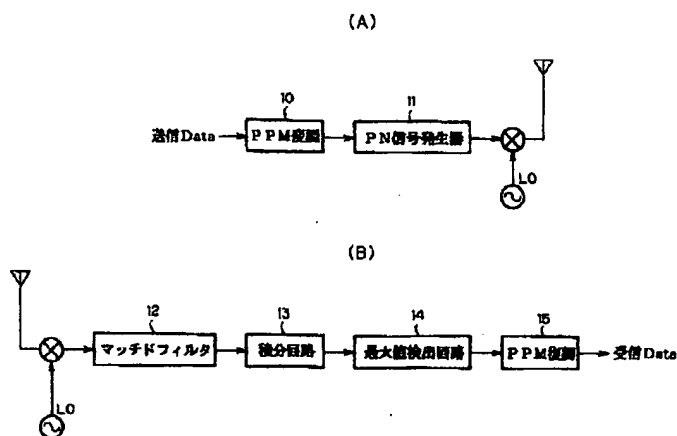
【図4】 従来のピーク検出器によるピーク検出結果を説明するための図である。

【図5】 従来のピーク検出器を示すブロック図である。

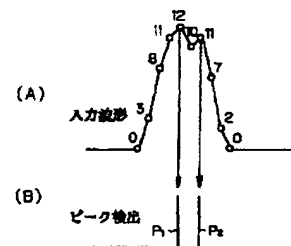
【符号の説明】

1…A/D変換器、2…AND回路、10…PPM変調器、11…PN信号発生器、12…マッチドフィルタ、13…積分回路(平均化処理回路)、14…最大値(ピーク)検出回路、15…PPM復調器、C…比較器、S…加算器、SM…平均化処理回路、R…レジスタ。

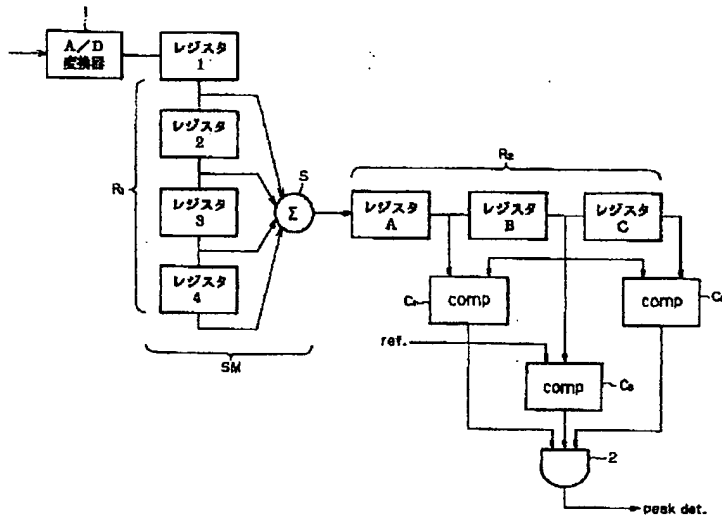
【図2】



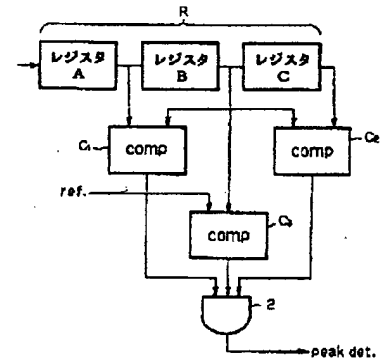
【図4】



【図1】



【図5】



【図3】

